

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-133635
(43)Date of publication of application : 12.05.2000

(51)Int.CI.

H01L 21/3065
H01L 21/306
H01L 21/308

(21)Application number : 10-303057

(71)Applicant : FURONTEKKU:KK

(22)Date of filing : 23.10.1998

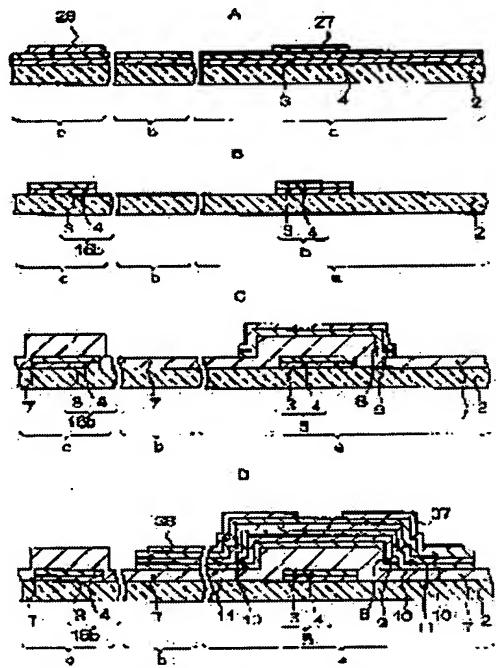
(72)Inventor : JIYO KEITETSU

(54) ETCHING AGENT AND MANUFACTURE OF SUBSTRATE FOR ELECTRONIC EQUIPMENT USING THE SAME AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To etch each metallic film constituting a laminated film in which a metallic film is laminated on an Al film or Al alloy film with low resistance at almost the same etching rate by one time of etching at the time of using the laminated film as wiring materials.

SOLUTION: Etching agent has hydrofluoric acid and excessive iodic acid and sulfuric acid, and the weight ratio of the sum of the hydrofluoric acid and the excessive iodic acid is 0.05–30 wt.%, and the weight ratio of the sulfuric acid is 0.5–20 wt.%, and the weight rate of the excessive iodic acid to the hydrofluoric acid is 0.01–2. Also, the etching agent is made of materials for etching each film of wiring 5, in which an aluminum film or an aluminum alloy film and a titanium film or a titanium alloy film are laminated in a batch at almost the same etching rate.



LEGAL STATUS

[Date of request for examination] 05.10.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-133635

(P2000-133635A)

(43) 公開日 平成12年5月12日 (2000.5.12)

(51) Int.Cl.
H 01 L 21/306
21/306
21/308

識別記号

F I
H 01 L . 21/306
21/308

マークド(参考)
F
F

審査請求 未請求 請求項の数 4 O.L. (全 11 頁)

(21) 出願番号 特願平10-303057
(22) 出願日 平成10年10月23日 (1998.10.23)

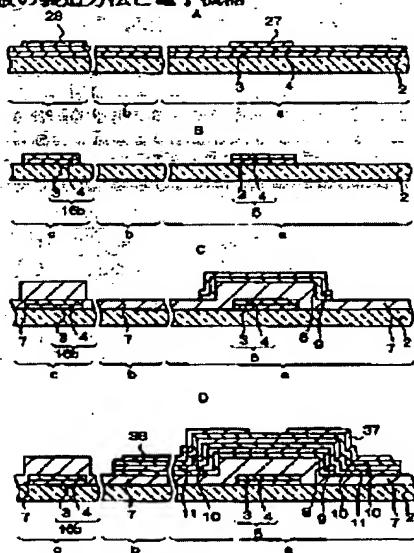
(71) 出願人 395003523
株式会社フロンティック
宮城県仙台市泉区明通三丁目31番地
(72) 発明者 ▲じょ▼ 岸哲
宮城県仙台市泉区明通三丁目31番地 株式
会社フロンティック内
(74) 代理人 100064908
弁理士 志賀 正武 (外9名)

(54) 【発明の名称】 エッティング剤及びこれを用いた電子機器用基板の製造方法と電子機器

(57) 【要約】

【課題】 低抵抗のAl膜又はAl合金膜に他の金属膜を積層した積層膜を配線材料として用いる場合に、上記積層膜を構成する各金属膜を一回のエッティングにより略同一エッティングレートでエッティングできるエッティング剤及びこれを用いた電子機器用基板の製造方法と、これにより製造した基板を有する電子機器の提供。

【解決手段】 フッ酸と過ヨウ素酸との合計の重量割合が0.05ないし3.0wt%であり、かつ前記硫酸の重量割合が0.05乃至2.0wt%であり、前記フッ酸に対する過ヨウ素酸の重量比が0.01乃至2であり、アルミニウム膜又はアルミニウム合金膜とチタン膜又はチタン合金膜とを積層してなる配線5、12、14の各膜を略同一エッティングレートで一括的にエッティング可能な材料からなることを特徴とするエッティング剤。



【特許請求の範囲】

【請求項 1】 フッ酸と過ヨウ素酸と硫酸とを有し、前記フッ酸と過ヨウ素酸との合計の重量割合が0.05ないし30wt%であり、かつ前記硫酸の重量割合が0.05乃至20wt%であり、前記フッ酸に対する過ヨウ素酸の重量比が0.01乃至2であり、アルミニウム膜又はアルミニウム合金膜とチタン膜又はチタン合金膜とを積層してなる配線の各膜を略同一エッチングレートで一括的にエッチング可能な材料からなることを特徴とするエッチング剤。

【請求項 2】 少なくとも表面が絶縁性である基板上にアルミニウム膜又はアルミニウム合金膜とチタン膜又はチタン合金膜とを順に形成した積層膜の表面に所定パターンのマスクを形成し、請求項1記載のエッチング剤を用いて前記積層膜をエッチングして前記所定パターンの積層配線を形成することを特徴とする電子機器用基板の製造方法。

【請求項 3】 少なくとも表面が絶縁性である基板上にチタン膜又はチタン合金膜、アルミニウム膜又はアルミニウム合金膜およびチタン膜又はチタン合金膜とを順に形成した積層膜の表面に所定パターンのマスクを形成し、請求項1記載のエッチング剤を用いて前記積層膜をエッチングして前記所定パターンの積層配線を形成することを特徴とする電子機器用基板の製造方法。

【請求項 4】 前記請求項2または3記載の製造方法により製造した基板を有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【従来の属する技術分野】 本発明はエッチング剤及びこれを用いた電子機器用基板の製造方法と、これにより製造した基板を有する電子機器に関し、特に、Al膜又はAl合金膜とTi膜又はTi合金膜とを積層してなる配線の各膜を略同一エッチングレートで一括的にエッチング可能なエッチング剤に関する。

【0002】

【従来の技術】 配線材料としてのAlは、低抵抗であるという利点を有しており、電子機器において、基板上の電極等の配線材料に多用されている。図1-2は、電子機器の一例として、一般的な薄膜トランジスタ型液晶表示装置の薄膜トランジスタ部分を示す概略図である。この薄膜トランジスタ部分は、基板B3上にゲート電極B4が設けられ、このゲート電極B4を覆うようにゲート絶縁膜B5が設けられている。ゲート電極B4上方のゲート絶縁膜B5上にアモルファスシリコン(以下、a-Siと略記する)からなる半導体能動膜B6が設けられ、リン等のn型不純物を含むアモルファスシリコン(以下、n+型a-Siと略記する)からなるオーミックコンタクト層B7を介して半導体能動膜B6上からゲート絶縁膜B5上にわたってソース電極B8およびドレイン電極B9が設けられている。そして、これらソース電極

B8、ドレイン電極B9、ゲート電極B4等で構成される複数トランジスタB2を複数のパッシベーション膜90が設けられ、ドレイン電極B9上のパッシベーション膜90にコンタクトホール91が設けられている。さらにこのコンタクトホール91を通じてドレイン電極B9と電気的に接続されるインジウム酸化銀(以下、ITOと略記する)等の透明電極層からなる画素電極92が設けられている。

【0003】 また、図1左側の部分は表示領域外に位置するゲート配線端部のゲート端子部93の断面構造を示している。基板B3上のゲート配線材料からなる下部パッド層94上にゲート絶縁膜B5およびパッシベーション膜90を貫通するコンタクトホール95が設けられ、このコンタクトホール95を通じて下部パッド層94と電気的に接続される透明電極層からなる上部パッド層96が設けられている。尚、ソース配線端部においても類似の構造となっている。以上のように、例えば、薄膜トランジスタにおいては、ゲート端子、ソース端子および画素電極をなす透明電極と、ゲート配線、ソース配線およびドレイン電極をなす配線用金属が直接接続されるよう構成されている。ところが、この種の電子機器において配線抵抗を下げる目的で、配線用材料としてAlからなる金属膜を用いた場合、ヒロックが生じるという問題がある。このヒロックは、熱処理時にAl膜の表面に発生する針状突起のことであり、この突起がAl上に積層された絶縁層を突き抜け、他の塗電層とショートしたり絶縁不良を起こしたりする恐れがある。また、ITOとAlを直接接触させると、ITO中の酸素がAlを酸化してしまい、その結果コンタクト部分の電気抵抗が上昇してしまう。

【0004】 上述のような問題を回避するためにAl膜上にMo膜やCr膜等の他の金属膜を形成した積層膜(以下、相異金属の積層膜と略す)が多用されるようになってきている。このような相異金属の積層膜からゲート電極B4を形成する場合、例えば、図1-4のAに示すように、基板B3上に形成したAl膜B4a上にMo膜B4bを積層した積層膜B4cの表面にフォトリソグラフィーにより所定のパターンのフォトマスク97を形成した後、H₃Po₄80重量%とHN₃O₃とCH₃COOHとH₂Oからなるエッチング剤を用いて上記積層膜B4cを一括エッチングを行うことにより得られる。ところが上記の相異金属の積層膜に一括エッチングを施してパターンングする場合には、金属膜間の電位差によりエッチング剤中で電池反応が起り、下層のAl膜が上層のMo膜より速くエッチングされるため、図1-4のBに示すような下層のAl膜B4aの線幅が上層のMo膜B4bの線幅よりも狭くなるアンダーカットが生じてしまい、絶縁耐圧不良などの問題が起こる場合があった。そこで、このような問題を解決する方法として、上記の一括エッチング後、ひさし状のMo膜B4bを過ヨウ素酸を用いて

る追加エッチングを行うことにより、バーニングする方法が考えられている。

【0005】

【発明が解決しようとする課題】しかしながら、従来の電子機器用基板の製造方法においては、相異金属の積層膜から積層配線を形成する際に、エッチング工程が少なくとも2回必要であるために、歩留まりが悪く、また、製造工程が長くなってしまい、コスト高となるという問題があった。また、上述のような追加エッチングを行うと、上層のMo膜84bが下層のAl膜84aより僅かに速くエッチングされ、図14のCに示すように下層のAl膜84aが僅かに突き出てしまうという問題が生じ、積層配線を構成する上層と下層の配線の線幅のコントロールが困難であった。

【0006】また、相異金属の積層膜からゲート電極84を形成する他の形成方法としては、図15のAに示すように基板83上にAl膜84aを形成した後、Al膜84aの表面にフォトレジスト97を塗布し、フォトリソグラフィーを行い、ついで図15のBに示すようにエッチングを行って、所望の線幅のAl膜84aを得、ついで図15のCに示すようにAl膜84aをMo膜84bで覆った後、図15のDに示すようにフォトリソグラフィーにより所定パターンのフォトマスク98を形成した後、エッチングを行うことにより得られる。ところがこの方法でも先に述べた従来の方法と同様にエッチング工程が少なくとも2回必要であるため、同様の問題があり、また、得られる積層配線構造は、図15のEに示すように下層のAl膜84aが上層のMo膜84bで覆われた構造であるため、上層の線幅が下層の線幅より必然的に大きくなってしまうため、上層と下層の配線の線幅のコントロールが困難であった。

【0007】本発明は、上記事例に鑑みてなされたもので、低抵抗のAl膜又はAl合金膜に他の金属膜を積層した積層膜を配線材料として用いる場合に、上記積層膜を構成する各金属膜を一回のエッチングにより略同一エッチングレートでエッチングできるエッチング剤及びこれを用いた電子機器用基板の製造方法と、これにより製造した基板を有する電子機器を提供することにある。

【0008】

【課題を解決するための手段】本発明者は、Al膜又はAl合金膜に他の金属膜を積層した相異金属の積層膜を配線材料として用いる場合に、一回のエッチングにより、アンダーカットの発生を極力低減したうえで、上記積層膜を構成する各金属膜を略同一エッチングレートでエッチング可能なエッチング剤を提供すべく、特に上記相異金属の積層膜を構成する各金属膜を電極として電解液に浸漬した際の電極電位に着目し、種々の検討及び実験を重ねた結果、上記積層膜をなすその他の金属膜に対してAl又はAl合金との電位差が小さいものを用いれば、エッチングレートの差が小さく、具体的には、Al膜

膜又はAl合金膜とTi膜又はTi合金膜とを順に形成した積層膜を配線材料として用いると、アンダーカットの発生を低減でき、一括エッチングできる可能性があるとの推定に至った。

【0009】ここでの推定は、以下に述べるような実験に基づくものである。図4に示すような電極電位測定装置を用意した。この電極電位測定装置は、電解液75が満たされる容器76と、一方の電極77としての標準水素電極(以下、SHEと略す)と、他方の電極78としての種々の金属(AI、Mo、Ti、Cu、Cr)からなる試料と、これら両電極77、78に可変抵抗79を介して接続された電源80から概略構成されたものである。このような電極電位測定装置を用いて両電極77、78の電位差を測定するには、容器76内に電解液75を満たした後、該電解液75にSHE77および試料78を浸漬し、電源80から電圧を加えて電流を流すことにより、両電極77、78の電極電位E0を測定した。容器に満たされる電解液75は、試料を構成する金属により異なり、試料がAIの場合はH2SO4、Moの場合はHCl又はNaOH、Tiの場合はHCl、Cuの場合はH2SO4、Crの場合はHClを用いた。ここで測定の電極電位E0の測定の際には、電流が0になるように可変抵抗を調節し、そのときの電極間の電位差を読みとつたものである。その結果を図5に示す。なお図5中、△EはAIからなる試料の電極電位と、他の金属からなる試料の電極電位との電位差である。図5に示した結果から、AIからなる試料(E0=-1.66V)を用いたときの電極間の電位差との差が小さいものはTiからなる試料(E0=-1.63V)であり、△E=0.03Vであることがわかった。

【0010】しかしながら、Al膜又はAl合金膜とTi膜又はTi合金膜とを順に積層した積層膜(以下、AIとTiの積層膜と略す)を用いた積層膜はこれまで実用化されておらず、また、このような積層膜を形成する際にアンダーカットの発生を極力低減したうえで、上記積層膜を構成する各金属膜を略同一エッチングレートで一括エッチング可能なエッチング剤も実用化されていないし、上記積層膜を一括エッチングする方法も確立されておらず、従って上述した推定が実証され実用化されるには未だ至っていない。

【0011】更に、本発明者は、種々の検討及び実験を重ねた結果、エッチング剤をフッ酸と過ヨウ素酸と硫酸から構成するとAIとTiの積層膜を構成する各金属膜を同時にエッチングできること、このエッチング剤にAIからなる電極とTiからなる電極を浸漬し先に述べた実験と同様にして電極間の電位差を測定したときの電位差△Eが小さくなると、AIとTiの積層膜を一括エッチングしたときのAI膜のサイドエッチング量△Lが小さくなり、特に電極間の電位差△Eが4.0mV以下のエッチング剤を用いるとき、実用上問題のない程度のGAPが

500 オンク"ストローム 程度以下)までアンダーカットを低減できることを見いたした。また、上記電極間の電位差△Eは、上記エッティング剤を構成する各成分の配合量を調整することにより変更できることを見いたした。その理由は、下記式(1)

$$E = E_0 + (RT/nF) \ln \sigma \quad \dots \quad (1)$$

(式中、Eは電位差、E₀は標準電極電位、Rは気体定数、Tは絶対温度、nは電子数、Fはファラデー定数、σは溶液相のイオンの活量である。)で示されるNernst式において、σの値はエッティング剤の組成および組成比によって変更できるため、電位差であるEの値も変更できるからである。

【0012】図6に、A1電極とTi電極間の電位差△Eと、A1とTiの被覆層のサイドエッッチ量△Lとの関係を示す。ここでサイドエッチ量△Lは、図13に示すように基板2a上に1300オンク"ストロームのA1膜3aと500オンク"ストロームのTi膜4aを順に積層した被覆層をHFとH1O4とH2SO4からなるエッティング剤を用いてエッティングをしたときに、Ti膜4側面から入り込んだTi膜4側面までの距離である。図6の電位差△Eが0、1Vのときエッティング剤の各成分の割合は、HFが0、3wt%、H1O4が0、5wt%、H2SO4が0、5mol/l(2、7wt%)、△Eが0、45Vのときは、HFが0、25wt%、H1O4が0、5wt%、H2SO4が0、3mol/l(1、5wt%)、△Eが0、65Vのときは、HFが0、5wt%、H1O4が1wt%、H2SO4が0、5mol/l(2、7wt%)、△Eが0、95Vのときは、HFが0、3wt%、H1O4が1、0wt%、H2SO4が0、5mol/l(2、7wt%)であった。

【0013】そして、本発明者は、エッティング剤をフッ酸と過ヨウ素酸と硫酸から構成したとき、これら各成分の配合量を以下のような特定の範囲内に規定することにより、A1電極とTi電極間の電位差△Eが400mV以下のものが得られ、上記課題を解決できるとの結論に至った。本発明は、フッ酸と過ヨウ素酸と硫酸とを有し、上記フッ酸と過ヨウ素酸との合計の重量割合が0、05ないし30wt%であり、かつ上記硫酸の重量割合が0、05乃至20wt%であり、上記フッ酸に対する過ヨウ素酸の重量比が0、01乃至2であり、A1膜又はA1合金膜とTi膜又はTi合金膜とを順に形成した被覆層の各膜を略同一エッティングレートで一括的にエッティング可能な材料からなることを特徴とするエッティング剤を上記課題の解決手段とした。

【0014】上記フッ酸と過ヨウ素酸との合計の重量割合が0、05wt%未満であると、エッティングレートが遅くなり過ぎてしまい、30wt%を超えるとエッティングレートが速くなり過ぎて制御が困難になってしまふ。上記硫酸の重量割合が0、05wt%未満であると、上記電位差△Eが4,000mVを超えてしまい、A1膜又は

A1合金膜とTi膜又はTi合金膜との被覆層を一括エッティングしたときに大きなアンダーカットが生じてしまい、絶縁耐圧不良が生じる場合があり、20wt%を超えて添加してもはや効果の増大はできず、フッ酸と過ヨウ素酸の割合が少なくなり、エッティング状況の面内分布が悪くなってしまう。上記フッ酸に対する過ヨウ素酸の重量比が0、01未満であると、上記電位差△Eが400mVを超えてしまい、重量比が2を超えると電位差△Eが400mVを超えてしまい、上記被覆層を一括エッティングしたときに大きなアンダーカットが生じてしまい、絶縁耐圧不良が生じる場合がある。

【0015】本発明のエッティング剤は、フッ酸と過ヨウ素酸と硫酸から構成されたものであるので、A1膜又はA1合金膜とTi膜又はTi合金膜とを順に形成した被覆層、あるいはTi膜又はTi合金膜、A1膜又はA1合金膜およびTi膜又はTi合金膜とを順に形成した被覆層を構成する各金属膜を同時にエッティングできる。また、本発明のエッティング剤によれば、上記フッ酸と過ヨウ素酸との合計の重量割合を0、05ないし30wt%の範囲内、かつ上記硫酸の重量割合を0、05乃至20wt%の範囲内、上記フッ酸に対する過ヨウ素酸の重量比を0、01乃至2の範囲内に調整したことにより、低抵抗のA1膜又はA1合金膜に他の金属膜としてTi膜又はTi合金膜を積層した被覆層を構成する各金属膜を一回のエッティングにより同一エッティングレートでエッティングできる。

【0016】また、本発明は、少なくとも表面が絶縁性である基板上にA1膜又はA1合金膜とTi膜又はTi合金膜とを順に形成した被覆層(以下、A1とTiの被覆層と略す)の表面に所定パターンのマスクを形成し、本発明のエッティング剤を用いて上記被覆層をエッティングして上記所定パターンの被覆層を形成することを特徴とする電子機器用基板の製造方法を上記課題の解決手段とした。また、本発明は、少なくとも表面が絶縁性である基板上にTi膜又はTi合金膜、A1膜又はA1合金膜およびTi膜又はTi合金膜とを順に形成した被覆層(以下、TiとA1とTiの被覆層と略す)の表面に所定パターンのマスクを形成し、本発明のエッティング剤を用いて上記被覆層をエッティングして上記所定パターンの被覆層を形成することを特徴とする電子機器用基板の製造方法を上記課題の解決手段とした。

【0017】本発明の電子機器用基板の製造方法によれば、上述の構成の本発明のエッティング剤を用いて上記被覆層をエッティングすることにより、一回のエッティング工程で上記被覆層を構成する各金属膜を同時にかつ略同一エッティングレートでエッティングできるので、歩留まりが良好で、製造工程を短縮できる。また、上記被覆層を構成する各金属膜を略同一エッティングレートでエッティングできるので、被覆層を構成する上層と下層の配線の線幅のコントロールが容易である。また、A1膜又はA1

合金膜にT_i膜又はT_i合金膜を積層した積層膜を用いるので、A_i膜又はA_i合金膜表面にバリア層が形成された構成となり、その後の熱処理等によるA_i膜又はA_i合金膜表面のヒロックの成長が抑えられるため、ヒロックによるショートや絶縁不良を防止できる。また、T_i膜又はT_i合金膜とITOとのコンタクト抵抗は、A_i膜又はA_i合金膜とITOとのコンタクト抵抗よりも低いため、A_i膜又はA_i合金膜表面にT_i膜又はT_i合金膜を形成することにより、コンタクト抵抗を低くすることができる。従って、本発明の電子機器用基板の製造方法によれば、電気的特性が良好であり、歩留まり向上によるコストが低い電子機器用基板を得ることができる。

【0018】また、本発明は、上記請求項2または3記載の製造方法により製造した基板を有することを特徴とする電子機器を上記課題の解決手段とした。本発明の電子機器によれば、抵抗配線としてA_i膜またはA_i合金膜を有する積層記録用いた電子機器用基板が備えられているので、配線抵抗に起因する信号電圧降下や配線遅延が生じにくく、配線が長くなる大面積の表示や配線が細くなる高詳細な表示に最適な表示装置等を容易に実現できるという利点がある。

【0019】
【発明の実施の形態】以下、図面により本発明について詳細に説明するが、本発明はこれらの実施形態例のみに限定されるものではない。図3は、本発明の電子機器用基板の製造方法を液晶表示装置に備えられる薄膜トランジスタ基板の製造方法に適用して製造された薄膜トランジスタの実施形態例を示す部分断面図である。符号aの部分は薄膜トランジスタ(TFT)部、bの部分はTFTマトリクス外側に位置するソース配線の端子部、cの部分はゲート配線の端子部を示している。なおこれら3つの部分は、この薄膜トランジスタ基板1が備えられる実際の液晶表示装置においては離れた箇所にあり、本来断面図を同時に示せるものではないが、図示の都合上、近接させて図示する。

【0020】まず、薄膜トランジスタ部aの部分について説明する。薄膜トランジスタ部aには、基板2上に膜厚1300乃至2000オング"ストローム程度のA_i膜又はA_i合金膜3と膜厚500乃至1000オング"ストローム程度のT_i膜又はT_i合金膜4の積層記録からなるゲート電極5が設けられている。その上にゲート絶縁膜7が設けられ、このゲート絶縁膜7上にアモルフスシリコン(e-Si)からなる半導体膜8が設けられ、さらにこの半導体膜8上にn型e-Si層9が設けられ、その上にソース電極12およびドレイン電極15が設けられている。ソース電極12、ドレイン電極15は、膜厚500乃至1000オング"ストローム程度のT_i膜又はT_i合金膜10と、膜厚1300乃至2000オング"ストローム程度のA_i膜又はA_i合金膜11と、膜厚500乃至1000オング"

ストローム程度のT_i膜又はT_i合金膜10の積層記録からなるものである。

【0021】また、ソース電極12やドレイン電極15の上方にこれらを積うバッシベーション膜17(絶縁膜)が形成され、このバッシベーション膜17に、A_i膜又はA_i合金膜11の上側に設けられたT_i膜又はT_i合金膜10に達するコンタクトホール18が形成されている。そして、コンタクトホール18の内壁面および底面に沿って画素電極となるITO層19が形成されている。このコンタクトホール18を通じてドレイン電極15とITO層19(画素電極)が電気的に接続されている。

【0022】次に、ソース配線の端子部bに関しては、ゲート絶縁膜7上にT_i膜又はT_i合金膜10とA_i膜又はA_i合金膜11とT_i膜又はT_i合金膜10からなる下部パッド層16aが形成され、その上にはバッシベーション膜17が形成され、A_i膜又はA_i合金膜11の上側に設けられたT_i膜又はT_i合金膜10に達するコンタクトホール20が形成されている。そして、コンタクトホール20の内壁面および底面に沿ってITOからなる上部パッド層21が形成されている。このコンタクトホール20を通じて下部パッド層16aと上部パッド層21が電気的に接続されている。

【0023】次に、ゲート配線の端子部cに関しては、基板2上にA_i膜又はA_i合金膜3とT_i膜又はT_i合金膜4の積層記録からなる下部パッド層16bが形成され、その上にはゲート絶縁膜7が形成され、さらにこの上にバッシベーション膜17が形成され、T_i膜又はT_i合金膜4に達するコンタクトホール22が形成されている。そして、コンタクトホール22の内壁面および底面に沿ってITOからなる上部パッド層23が形成されている。このコンタクトホール22を通じて下部パッド層16bと上部パッド層23が電気的に接続されている。このような構成することで、ITO層とA_i層はITOとの電気接続が可能な金属からなるT_i膜又はT_i合金膜を介して接続されるので、お互いが直接接触することによる抵抗値の上昇を起こすことではない。上記バッシベーション膜の例としては、e-Si(アモルファス)-SiNx: H, e-SiNx, e-SiO₂: H, SiO₂等を挙げることができる。

【0024】次に、本実施形態の薄膜トランジスタ基板1の製造工程について、図1乃至図2を用いて説明する。図1乃至図2中、符号eの部分は薄膜トランジスタ(TFT)部、bの部分はTFTマトリクス外側に位置するソース配線の端子部、cの部分はゲート配線の端子部を示している。まず、図1のA1に示すように基板2上の全体にわたってスパッタ法を用いてA_i膜又はA_i合金膜3とT_i膜又はT_i合金膜4を順に成膜して積層膜を形成する。ついで、薄膜トランジスタ部aに関しては、T_i膜又はT_i合金膜4上にオドリングラフィーにより

り所定パターンのフォトマスク 27 を形成した後、フッ酸と過ヨウ素酸と硫酸とからなるエッチング剤を用いて上記絶縁膜に一括エッチングを施し、図 1 の B に示すような A 1 膜又は A 1 合金膜 3 と T 1 膜又は T 1 合金膜 4 の後層配線からなるゲート電極 5 を形成する。ここで用いたエッチング剤は、上記フッ酸と過ヨウ素酸との合計の重量割合が 0.05ないし 3.0wt% の範囲内、かつ上記硫酸の重量割合が 0.05乃至 2.0wt% の範囲内、上記フッ酸に対する過ヨウ素酸の重量比が 0.01乃至 2 の範囲内になるように調整されたものである。

【0025】一方、ゲート配線の端子部 c に関しては T 1 膜又は T 1 合金膜 4 上にフォトリソグラフィーにより所定パターンのフォトマスク 28 を形成した後、先に用いたものと同様のエッチング剤を用いて上記絶縁膜に一括エッチングを施して、図 1 の B に示すような A 1 膜又は A 1 合金膜 3 と T 1 膜又は T 1 合金膜 4 の後層配線からなる下部パッド層 16 b を形成する。このようにすると、上記絶縁膜を構成する A 1 膜又は A 1 合金膜 3 と T 1 膜又は T 1 合金膜 4 を同時にかつ略同一エッチンググレードでエッチングでき、上層と下層の配線の線幅が等しい後層配線からなるゲート電極 5 と下部パッド層 16 b が得られるので、アンダーカットに起因する絶縁耐圧不良の発生を防止できる。

【0026】次に、基板 2 の上面全体に CVD 法を用いてゲート絶縁膜 7 を形成する。ついで、薄膜トランジスタ部 e に関しては、半導体膜 8、n+ 型 a-Si 層 9 を形成した後、図 1 の C に示すように TFT のチャネル部となるゲート電極 5 の上方部分を残すように半導体膜 8、n+ 型 a-Si 層 9 をエッチングする。そして、薄膜トランジスタ部 e 及びソース配線の端子部 b に関しては、図 1 の D に示すように、T 1 膜又は T 1 合金膜 1 0 と A 1 膜又は A 1 合金膜 1 1 と T 1 膜又は T 1 合金膜 1 0 を順に成膜して絶縁膜を形成する。

【0027】次に、薄膜トランジスタ部 e に関しては、TFT のチャネル部となるゲート電極 5 の上方の T 1 膜又は T 1 合金膜 1 0 上にフォトリソグラフィーにより所定パターンのフォトマスク 37 を形成した後、先に用いたものと同様のエッチング剤を用いて上記絶縁膜に一括エッチングを施して、図 2 の A に示すような T 1 膜又は T 1 合金膜 1 0 と A 1 膜又は A 1 合金膜 1 1 と T 1 膜又は T 1 合金膜 1 0 の後層配線からなるソース電極 12 と、ドレイン電極 14 を形成する。一方、ソース配線の端子部 b に関しては T 1 膜又は T 1 合金膜 1 0 上にフォトリソグラフィーにより所定パターンのフォトマスク 38 を行った後、先の用いたものと同様のエッチング剤を用いて上記絶縁膜に一括エッチングを施して、図 2 の A に示すような T 1 膜又は T 1 合金膜 1 0 と A 1 膜又は A 1 合金膜 1 1 と T 1 膜又は T 1 合金膜 1 0 の後層配線からなる下部パッド層 16 a を形成する。このようにすると、上記絶縁膜を構成する T 1 膜又は T 1 合金膜 1 0 と

A 1 膜又は A 1 合金膜 1 1 と T 1 膜又は T 1 合金膜 1 0 を同時にかつ略同一エッチンググレードでエッチングでき、上層と下層と中間層の配線の線幅が等しい後層配線からなるソース電極 12、ドレイン電極 14、下部パッド層 16 a が得られるので、アンダーカットに起因する絶縁耐圧不良を防止できる。その後、n+ 型 a-Si 層 9 を乾式法あるいは乾式法と湿式法との併用によりエッチングしてチャネル 24 を形成する。

【0028】一方、薄膜トランジスタ部 e、ソース配線の端子部 b 及びゲート配線の端子部 o に関しては、T 1 膜又は T 1 合金膜 4、1 0 上にパッシベーション膜 17 を形成する。ついで、薄膜トランジスタ部 e に関しては、図 2 の B に示すように、パッシベーション膜 17 を乾式法あるいは乾式法と湿式法との併用によりエッチングしてコンタクトホール 18 を形成した後、ITO 层を全面に形成した後、バーニングすることにより、図 3 に示すように、コンタクトホール 18 の底面および内壁面、パッシベーション膜 17 の上面にかけて ITO 层 1 9 を形成する。一方、ソース配線の端子部 b、ゲート配線の端子部 c についても同様でパッシベーション膜 17 を乾式法あるいは乾式法と湿式法との併用によりエッチングしてコンタクトホール 20、22 を形成（ただし、ゲート配線端子部 o ではパッシベーション膜 17 の他、さらにゲート絶縁膜 7 もエッチングしてコンタクトホール 22 を形成する）した後、ITO 层を全面に形成した後、バーニングすることにより、図 3 に示すように、コンタクトホール 20、22 の底面および内壁面、パッシベーション膜 17 の上面にかけて上部パッド層 21、23 を形成する。このような手順で、薄膜トランジスタ基板を製造することができる。

【0029】本実施形態例の薄膜トランジスタ基板の製造方法においては、一回のエッチング工程で上記絶縁膜を構成する各金属膜を同時にかつ略同一エッチンググレードでエッチングできるので、後層配線を構成する上層と下層の配線の線幅のコントロールが容易であるうえ、歩留まりが良好で、製造工程を短縮できる。また、A 1 膜又は A 1 合金膜上に T 1 膜又は T 1 合金膜を積層した後層配線を用いるので、A 1 膜又は A 1 合金膜表面にバリア層が形成された構成となり、その後の熱処理等による A 1 膜又は A 1 合金膜表面のヒロックの成長が抑えられるため、ヒロックによるショートや絶縁不良を防止できる。また、A 1 膜又は A 1 合金膜上に形成した T 1 膜又は T 1 合金膜と ITO 层とを接続しているので、コンタクト抵抗を上昇させることなく、A 1 膜又は A 1 合金膜と ITO 层とを電気的に接続することができる。従って、本実施形態例のトランジスタ基板の製造方法により製造された薄膜トランジスタ基板 1 は、電気的特性が良好であり、歩留まりの向上によりコストを低減できるという利点がある。

【0030】なお、本発明の技術範囲は上記実施の形態

に限定されるものではなく、例えばA1膜又はA1合金膜、Ti膜又はTi合金膜、バッシャーベーション膜等の膜厚や、形状等について、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。また、上記の実施の形態においては、ゲート電極5、下部バッド層15bをA1膜又はA1合金膜3と、Ti膜又はTi合金膜4の積層膜を一括エッチングして形成する場合について説明したが、Ti膜又はTi合金膜とA1膜又はA1合金膜とTi膜又はTi合金膜の積層膜を一括エッチングして形成してもよい。また、ソース電極12、ドレイン電極14、下部バッド層16aをTi膜又はTi合金膜10とA1膜又はA1合金膜11とTi膜又はTi合金膜10の積層膜を一括エッチングして形成する場合について説明したが、A1膜又はA1合金膜とTi膜又はTi合金膜の積層膜を一括エッチングして形成してもよい。

【0031】図7は、本発明の電子機器用基板の製造方法により製造された薄膜トランジスタ基板を使用した反射型液晶表示装置の一例を示す概略図である。この反射型液晶表示装置は、液晶層59を挟んで対向する上側および下側のガラス基板51、52の上側ガラス基板51の内面側に上側透明電極層55、上側配向膜57が上側ガラス基板51側から順に設けられ、下側ガラス基板52の内面側に下側透明電極層56、下側配向膜58が下側ガラス基板52側から順に設けられている。液晶層59は、上側と下側の配向膜57、58間に配置されている。上側ガラス基板51の外側側には上側偏光板60が設けられ、下側ガラス基板52の外側側には下側偏光板61が設けられ、さらに下側偏光板61の外側側に反射板62が、反射板62の凹凸面65を下側偏光板61側に向けて取り付けられている。反射板62は、例えば、表面にランダムな凹凸面65を有しているものである。

【0032】この反射型液晶表示装置においては、ガラス基板52が本発明の電子機器の製造方法を薄膜トランジスタ基板の製造方法に適用して製造された実施形態例の薄膜トランジスタ基板1の基板2、下側透明電極層56が1TO層(画素電極)19に相当する。本実施形態の反射型液晶表示装置によれば、低抵抗配線としてA1膜またはA1合金膜を有する積層配線を用いた薄膜トランジスタ基板1が備えられているので、配線抵抗に起因する信号電圧降下や配線遅延が生じにくく、配線が長くなる大面積の表示や配線が細くなる高詳細な表示に最適な表示装置を容易に実現できるという利点がある。

【0033】
【実施例】以下、本発明を実施例により具体的に説明するが、本発明はこれらの実施例のみに限定されるものではない。

(実験例1) 図4の電極電位測定装置を用いてエッチング剤中のH1O4の含有量と、A1電極とTi電極間の電位差との関係について以下のようにして調べた。容器内にエッチング剤を満たした後、このエッチング剤に両電極としてA1電極とTi電極を没入し、電源から電圧を加えて電流を流し、両電極間の電位差を測定した。ここでエッチング剤としては、HFを0.3wt%、H2SO4を0.1mol/l(0.54wt%)と一定とし、H1O4については0.05wt%乃至2.0wt%の範囲で変更した。結果を図8に示す。図8に示した結果からエッチング剤中にHFが0.3wt%、H2SO4は0.1mol/l含まれている場合、H1O4の含有量が0.5wt%以下であると、A1電極とTi電極間の電位差△Eが0.4V以下になることがわかる。電位差△Eが0.4Vになるとおりの、HFに対するH1O4の重量比は、2以下であることから、HFに対するH1O4の重量比の上限を2とした。

(実験例2) エッチング剤中のHFの含有量とA1電極とTi電極間の電位差と、このエッチング剤を用いてA1膜とTi膜の積層膜をエッチングしたときのサイドエッチ量△Lとの関係について以下のように調べた。エッチング剤中のHFの含有量とA1電極とTi電極間の電位差については、エッチング剤として、H1O4を1.5wt%、H2SO4を1mol/l(5.4wt%)と一定とし、HFについては0.1wt%乃至0.8wt%の範囲で変更したものを使いたい以外は上記実験例1と同様にして測定した。その結果を図9に示す。また、サイドエッチ量は、膜厚1300オング"ストロームのA1膜と膜厚500オング"ストロームのTi膜の積層膜を、HFの含有量を変更したエッチング剤を用いて一括エッチングしたときのサイドエッチ量△Lを測定した。その結果を図10に示す。図9乃至図10に示した結果からエッチング剤中にH1O4が1.5wt%、H2SO4が1mol/l含まれている場合、HFの含有量が0.65wt%以上であると、A1電極とTi電極間の電位差△Eが0.4V以下になり、また、サイドエッチ量△Lも実用上問題のない500オング"ストローム以下なることが判る。特にHFの含有量が0.75wt%以上になると、サイドエッチ量△Lが250オング"ストローム以下となることが判る。

(実験例3) エッチング剤中のH2SO4の含有量とA1電極とTi電極間の電位差について、エッチング剤としてH1O4を0.05wt%、HFを0.03wt%と一定とし、H2SO4を0wt%乃至0.54wt%の範囲で変更したものを用いた以外は上記実験例1と同様にして測定した。その結果を図11に示す。図11に示した結果からエッチング剤中にHFが0.03wt%、H1O4の含有量が0.05wt%含まれている場合、H2SO4が0.05wt%以下であるとA1電極とTi電極間の電位差△Eが0.4V以上になることから、H2SO4の重量比の下限を0.05wt%とした。

【0036】

【発明の効果】以上詳細に説明した通り本発明のエッチング剤によれば、上述のような構成としたことにより、低抵抗のA1膜又はA1合金膜に他の金属膜としてTi膜又はTi合金膜を積層した積層膜を構成する各金属膜を一回のエッチングにより略同エッチングレートでエッチングできるという利点がある。また、本発明の電子機器用基板の製造方法によれば、上述の構成の本発明のエッチング剤を用いて上記積層膜をエッチングすることにより、一回のエッチング工程で上記積層膜を構成する各金属膜を同時にかつ略同一エッチングレートでエッチングできるので、積層配線を構成する上層と下層の配線の線幅のコントロールが容易であるうえ、歩留まりが良好で、製造工程を短縮できる。また、本発明の電子機器によれば、配線抵抗に起因する信号電圧降下や配線遅延が生じにくく、配線が長くなる大面積の表示や配線が細くなる高詳細な表示に最適な表示装置等を容易に実現できる。

【図面の簡単な説明】

- 【図1】 本発明の電子機器用基板の製造方法の実施形態例の薄膜トランジスタ基板の製造方法を工程順に示した概略図である。
- 【図2】 本発明の電子機器用基板の製造方法の実施形態例の薄膜トランジスタ基板の製造方法を工程順に示した概略図である。
- 【図3】 本発明の電子機器用基板の製造方法により得られた薄膜トランジスタ基板の部分断面図である。
- 【図4】 電極電位測定装置の概略構成を示す図である。
- 【図5】 電極を構成する金属と、電極電位の関係を示したグラフである。
- 【図6】 A1電極とTi電極間の電位差△Eと、A1

とTiの積層膜のサイドエッヂ量△Lとの関係を示すグラフである。

【図7】 本実施形態例の薄膜トランジスタ基板を使用した反射型液晶表示装置の一例を示す概略図である。

【図8】 エッチング剤中のH1O4の含有量と、A1電極とTi電極間の電位差との関係を示すグラフである。

【図9】 エッチング剤中のHFの含有量と、A1電極とTi電極間の電位差との関係を示すグラフである。

【図10】 エッチング剤中のHFの含有量と、このエッチング剤を用いてA1膜とTi膜の積層膜をエッチングしたときのサイドエッヂ量との関係を示すグラフである。

【図11】 エッチング剤中のH2SO4の含有量と、A1電極とTi電極間の電位差との関係を示すグラフである。

【図12】 一般的な薄膜トランジスタ型液晶表示装置の薄膜トランジスタ部分を示す概略図である。

【図13】 基板上に形成したA1とTiの積層膜を示す断面図である。

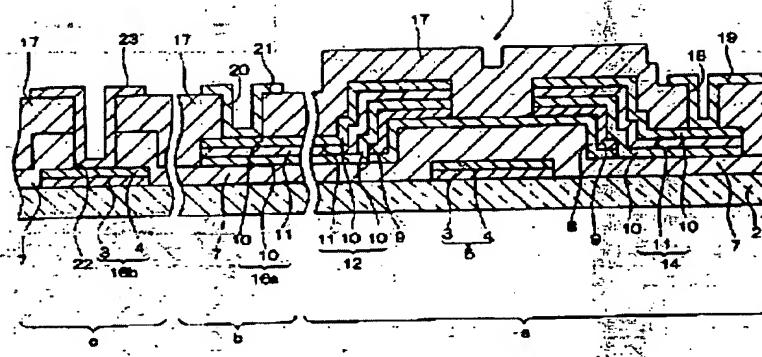
【図14】 従来の電子機器用基板の製造方法を工程順に示した概略図である。

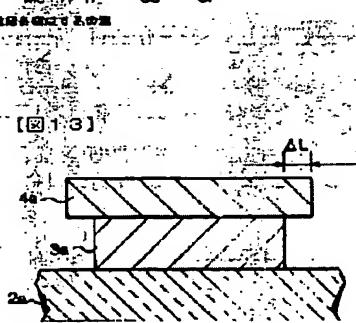
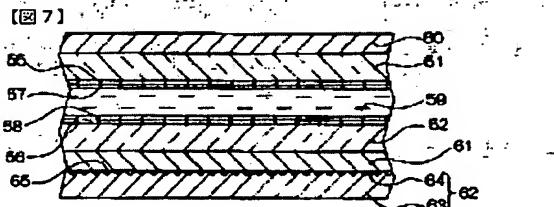
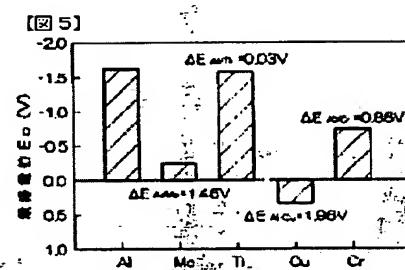
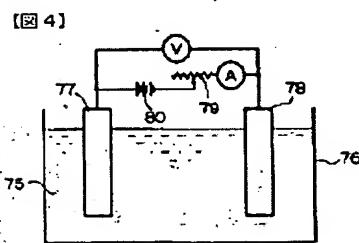
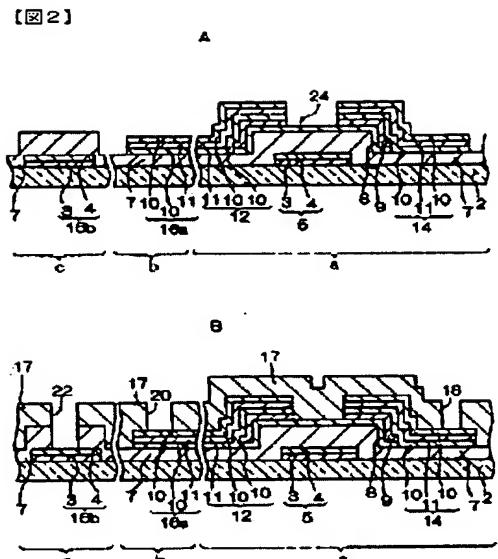
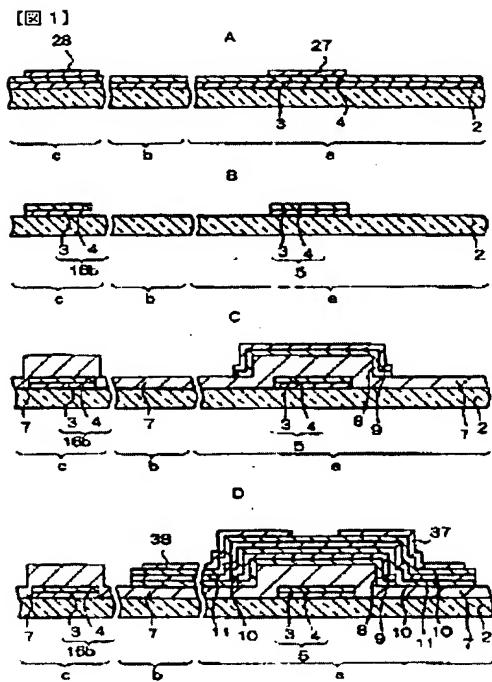
【図15】 従来の電子機器用基板のその他の製造方法を工程順に示す概略図である。

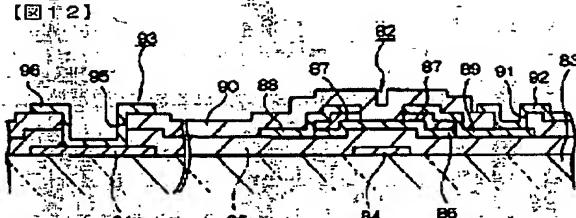
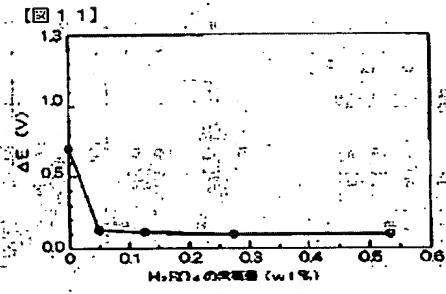
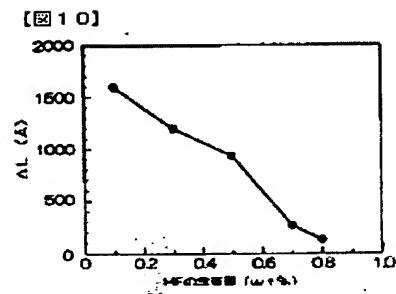
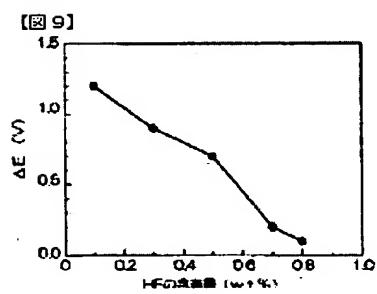
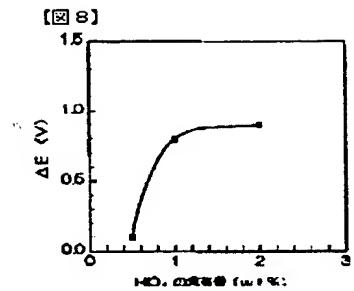
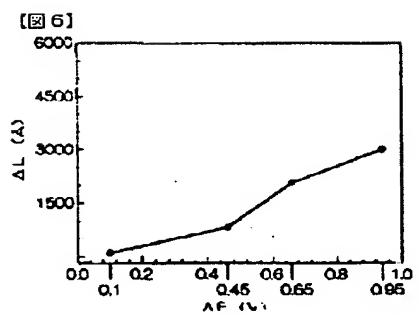
【符号の説明】

1... 薄膜トランジスタ基板(電子機器用基板)、2... 基板、3... A1膜又はA1合金膜、4... Ti膜又はTi合金膜、5... ゲート電極(積層配線)、10... Ti膜又はTi合金膜、11... A1膜又はA1合金膜、12... ソース電極(積層配線)、14... ドレイン電極(積層配線)、17... マスク、18... マスク、19... ガラス基板(電子機器用基板)。

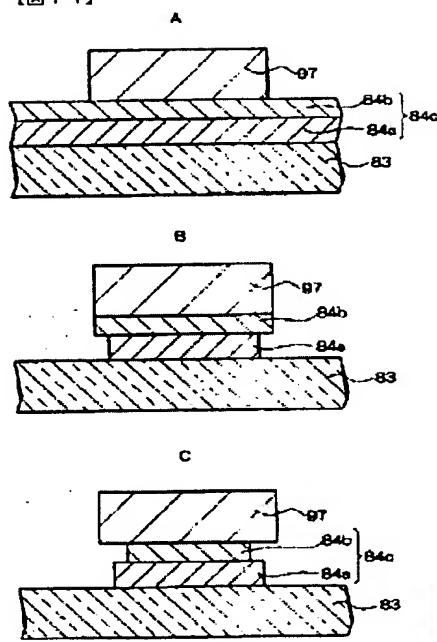
【図3】



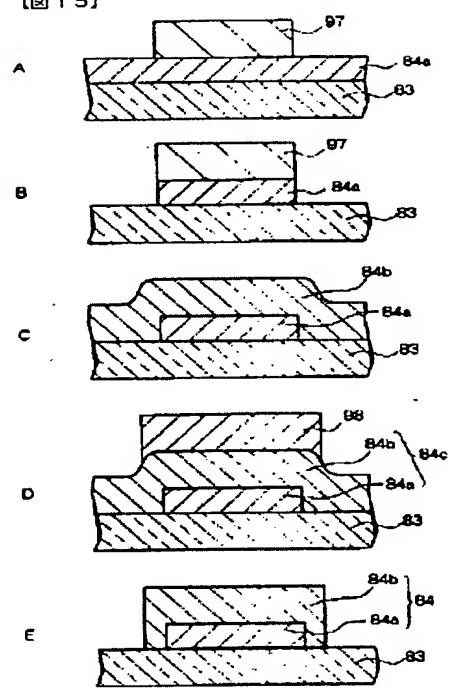




[図14]



[図15]



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.